

日 本 国 特 許 庁
JAPAN PATENT OFFICE

#2



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月27日

出 願 番 号

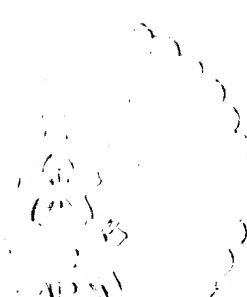
Application Number:

特願2000-359827

出 願 人

Applicant(s):

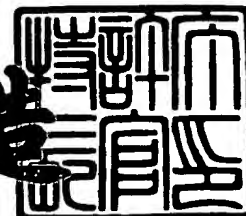
安藤電気株式会社



2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080381

【書類名】 特許願

【整理番号】 S00-10-9

【提出日】 平成12年11月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 13/00

【発明者】

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
内

【氏名】 原 清巳

【発明者】

【住所又は居所】 東京都中野区弥生町3丁目24番23号 ニッポー電測
株式会社内

【氏名】 井上 孝雄

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100090033

【弁理士】

【氏名又は名称】 荒船 博司

【選任した代理人】

【識別番号】 100093045

【弁理士】

【氏名又は名称】 荒船 良男

【手数料の表示】

【予納台帳番号】 027188

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 CRC符号演算回路、及びCRC符号演算方法

【特許請求の範囲】

【請求項1】

可変長データとして入力され、最終段に余り部分を有するパラレルデータからCRC符号を演算するCRC符号演算回路において、

前記パラレルデータの最終段から、CRC符号をパラレルで演算するパラレル演算手段と、

このパラレル演算手段により演算されたCRC符号から、所定のバイト数分のCRC符号を選択するCRC符号選択手段と、

前記パラレルデータの最終段をシリアルデータに変換する変換手段と、

前記CRC符号選択手段により選択されたCRC符号と、前記変換手段により変換されたシリアルデータと、からCRC符号を演算する演算手段と、

を備えることを特徴とするCRC符号演算回路。

【請求項2】

前記パラレル演算手段は、 4^n バイトパラレルデータの最終段から、CRC符号をパラレルで演算し、

前記CRC符号選択手段は、前記パラレル演算手段により演算されたCRC符号から、 4^{n-m} ($m = 1 \sim n$ 、 m 、 n は自然数)の何れかのバイト数分のCRC符号を選択し、

前記変換手段は、前記 4^n バイトパラレルデータの最終段を4バイトシリアルデータに変換することを特徴とする請求項1記載のCRC符号演算回路。

【請求項3】

前記パラレルデータの最終段から、余り部分を検出する余り部分検出手段を更に備え、

前記変換手段は、前記余り部分検出手段により検出された余り部分を 4^{n-m} ($m = 1 \sim n$ 、 m 、 n は自然数)バイトシリアルデータに変換することを特徴とする請求項2記載のCRC符号演算回路。

【請求項4】

可変長データとして入力され、最終段に余り部分を有するパラレルデータから CRC 符号を演算する CRC 符号演算方法において、

前記パラレルデータの最終段から、CRC 符号をパラレルで演算するパラレル演算工程と、

このパラレル演算工程で演算された CRC 符号から、所定のバイト数分の CRC 符号を選択する CRC 符号選択工程と、

前記パラレルデータの最終段をシリアルデータに変換する変換工程と、

前記 CRC 符号選択工程で選択された CRC 符号と、前記変換工程で変換されたシリアルデータと、から CRC 符号を演算する演算工程と、

を含むことを特徴とする CRC 符号演算方法。

【請求項 5】

前記パラレル演算工程は、 4^n バイトパラレルデータの最終段から、CRC 符号をパラレルで演算し、

前記 CRC 符号選択工程は、前記パラレル演算工程で演算された CRC 符号から、 4^{n-m} ($m=1 \sim n$ 、 m 、 n は自然数) の何れかのバイト数分の CRC 符号を選択し、

前記変換工程は、前記 4^n バイトパラレルデータの最終段を 4^{n-m} ($m=1 \sim n$ 、 m 、 n は自然数) バイトシリアルデータに変換することを特徴とする請求項 4 記載の CRC 符号演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変長データとして入力され、最終段に余り部分を有するパラレルデータから CRC 符号を演算する CRC 符号演算回路、及び CRC 符号演算方法に関する。

【0002】

【従来の技術】

従来より、デジタル通信において高性能の誤り検出能力を有する CRC (Cyclic Redundancy Check : 巡回冗長検査) が用いられている。ここで、CRC とは

、データ受信側のCRC符号演算回路において演算されたCRC符号と、データ送信側で演算されたCRC符号を比較することにより、データの誤りを検出するエラー検査方法である。

【0003】

近年、例えば、POS (PPP Over SONET/SDH) の様に、低速の可変長データ (PPPフレーム) を高速データフレーム (SONET/SDHフレーム) 上に載せてエンドエンド間の通信を行う高速可変長データ通信が広く利用されている。入力されるnバイトパラレルデータからCRC符号を演算するCRC符号演算回路は、この様な高速可変長データ通信におけるデータの誤り検出手段として導入されつつある。

【0004】

以下、図3を参照して、従来のCRC符号演算回路について説明する。

図3は、従来のCRC符号演算回路21の回路構成図である。図3に示す様に、CRC符号演算回路21は、16バイトパラレルCRC符号演算回路22と、1～15バイトパラレルCRC符号演算回路23～37と、SEL38より概略構成されている。

【0005】

外部回路から入力された16バイトパラレルデータの内、最終段以外のパラレルデータは、16バイトパラレルCRC符号演算回路22で演算され、CRC符号が演算途中結果として出力される。一方、最終段のパラレルデータは、そのバイト数に対応する1～15の何れかのバイトパラレルCRC符号演算回路で、上記CRC符号により演算され、SEL38へ入力される。そして、SEL38は、入力された複数のCRC符号から所望のCRC符号を選択し、最終的な演算結果として出力する。

【0006】

【発明が解決しようとする課題】

上記従来のCRC符号演算回路21は、16バイト未満のデータ処理の改善策として有用であったが、以下の様な問題点があった。例えば、可変長データが16バイトパラレルデータの場合、最終段のバイト数によっては実際に使用されな

い符号演算回路を含めて、計 1 6 個のバイトパラレル CRC 符号演算回路が必要になる。このため、入力される 4^n バイトパラレルデータのバイト数の増加に伴って、バイトパラレル CRC 符号演算回路が $4^n - 1$ 個分必要になり、回路規模が増大すると共に、製造コストも上がる。

【 0 0 0 7 】

本発明の課題は、CRC 符号演算回路の使用個数を抑えて、可変長データとして入力される 4^n バイトパラレルデータから CRC 符号を演算する CRC 符号演算回路、及び CRC 符号演算方法を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

以上の課題を解決するため、請求項 1 記載の発明は、

可変長データとして入力され、最終段に余り部分を有するパラレルデータから CRC 符号を演算する CRC 符号演算回路（例えば、図 1 の CRC 符号演算回路 1）において、

前記パラレルデータの最終段から、CRC 符号をパラレルで演算するパラレル演算手段（例えば、図 1 の 4 バイトパラレル CRC 符号演算部 3 a）と、

このパラレル演算手段により演算された CRC 符号から、所定のバイト数分の CRC 符号を選択する CRC 符号選択手段（例えば、図 1 の SEL 3 e）と、

前記パラレルデータの最終段をシリアルデータに変換する変換手段（例えば、図 1 の 4 バイトシリアル変換回路 5）と、

前記 CRC 符号選択手段により選択された CRC 符号と、前記変換手段により変換されたシリアルデータと、から CRC 符号を演算する演算手段（例えば、図 1 の 1 バイトパラレル CRC 符号演算部 4 a）と、

を備えることを特徴としている。

【 0 0 0 9 】

また、請求項 2 記載の発明は、請求項 1 記載の CRC 符号演算回路において、

前記パラレル演算手段は、 4^n バイトパラレルデータ（例えば、図 2 の 1 6 バイトパラレルデータ P）の最終段（例えば、図 2 の③）から、CRC 符号をパラレルで演算し、

前記CRC符号選択手段は、前記パラレル演算手段により演算されたCRC符号から、 4^{n-m} の何れかのバイト（例えば、1，4バイト）数分のCRC符号を選択し、

前記変換手段は、前記 4^n バイトパラレルデータの最終段を 4^{n-m} （ $m=1\sim n$ 、 m ， n は自然数）バイト（例えば、1，4バイト）シリアルデータのそれぞれ3組に変換することを特徴としている。

【0010】

また、請求項3記載の発明は、請求項2記載のCRC符号演算回路において、前記パラレルデータの最終段から、余り部分を検出する余り部分検出手段（例えば、図1の制御部7）を更に備え、

前記変換手段は、前記余り部分検出手段により検出された余り部分を 4^{n-m} （ $m=1\sim n$ 、 m ， n は自然数）バイト（例えば、1，4バイト）シリアルデータのそれぞれ3組に変換することを特徴としている。

【0011】

従って、CRC符号演算回路に対して、16バイトパラレルデータの様にデータ幅の広いパラレルデータが入力される場合であっても、バイトパラレル演算回路の使用数を抑えた簡易な回路構成でデータのCRC符号を演算できる。その結果、回路規模の増大や製造コストの増加を抑えることができる。

【0012】

【発明の実施の形態】

以下、図を参照して本発明に係るCRC符号演算回路1について説明する。

なお、本実施の形態では、説明を容易にするため、最終段に15バイト分の余り部分33～47（図2の③参照）を有する16バイトパラレルデータからのCRC符号演算について説明する。

【0013】

まず、構成を説明する。

図1（a）に示す様に、CRC符号演算回路1は、16バイトパラレルCRC符号演算回路2、4バイトパラレルCRC符号演算回路3、1バイトパラレルCRC符号演算回路4、4バイトシリアル変換回路5、1バイトシリアル変換回路

6、制御部 7、及び 8 個の D F F 8 ~ 1 5 より概略構成されている。

【 0 0 1 4 】

1 6 バイトパラレル C R C 演算回路 2 は、制御部 7 から入力される制御タイミング信号に基づいて、図示しない外部回路から入力される可変長の 1 6 バイトパラレルデータが 1 6 バイト以上の場合、初期値を基に最終段以外のデータ（図 2 の①、②参照）を 1 6 バイトずつ C R C 符号演算し、演算途中結果 A を 4 バイトパラレル C R C 符号演算回路 3 へ出力する。また、入力される可変長データが 1 6 バイト未満の場合（最初から最終段のデータの場合） C R C 符号演算せず初期値を 4 バイトパラレル C R C 符号演算回路 3 へ出力する回路である。

【 0 0 1 5 】

4 バイトパラレル C R C 演算回路 3 は、4 バイトパラレル C R C 符号演算部 3 a、D F F 3 b、3 c、3 d、S E L 3 e の各部より構成され、制御部 7 及び D F F 8、9、1 0 から入力される制御タイミング信号に基づいて、1 6 バイトパラレル C R C 符号演算回路 2 から入力される演算途中結果 A を初期値として、4 バイトシリアル変換回路 5 から入力される 4 バイトシリアルデータを、4 バイトパラレル C R C 符号演算部 3 a で C R C 符号演算する。

【 0 0 1 6 】

演算された C R C 符号の内、D F F 3 b、3 c、3 d でシフトされた最終段の平行データに対応する C R C 符号は、初期値 “A 1” として S E L 3 e に入力される。同様に、D F F 3 b、3 c でシフトされた最終段の 3 3 ~ 3 6（図 2 の③参照）に対応する C R C 符号は、初期値 “A 2” として S E L 3 e に入力される。更に、D F F 3 b でシフトされた最終段の 3 3 ~ 4 0 に対応する C R C 符号は “A 3” として S E L 3 e に入力される。そして、最終段の 3 3 ~ 4 4 に対応する C R C 符号は “A 4” として S E L 3 e に入力される。入力された C R C 符号は、S E L 3 e により、後述する S T A T E [x] 信号に基づいて、A 1 ~ A 4 の何れかが選択された後（対応関係は図 1（b）参照）、演算途中結果 B として 1 バイトパラレル C R C 符号演算回路 4 へ出力される。

【 0 0 1 7 】

1 バイトパラレル C R C 符号演算回路 4 は、1 バイトパラレル C R C 符号演算

部 4 a、DFF 4 b、4 c、4 d、SEL 4 e の各部より構成され、制御部 7 から DFF 1 1、1 2、1 3、1 4 を介して入力される制御タイミング信号に基づいて、4 バイトパラレルCRC符号演算回路 2 から入力される演算途中結果 B を初期値として、1 バイトシリアル変換回路 6 から入力される 1 バイトシリアルデータを、1 バイトパラレルCRC符号演算部 4 a でCRC符号演算する。

【0018】

演算されたCRC符号の内、DFF 4 b、4 c、4 d でシフトされた最終段の平行データに対応するCRC符号は、初期値“B 1”としてSEL 4 eに入力される。同様に、DFF 4 b、4 c でシフトされた最終段の 4 5（図 2 の③参照）に対応するCRC符号は、初期値“B 2”としてSEL 4 eに入力される。更に、DFF 4 b でシフトされた最終段の 4 5～4 6 に対応するCRC符号は“B 3”としてSEL 4 eに入力される。そして、最終段の 4 5～4 7 に対応するCRC符号は“B 4”としてSEL 4 eに入力される。入力されたCRC符号は、SEL 4 eにより、後述するSTATE[x]信号に基づいて、B 1～B 4 の何れかが選択された後（対応関係は図 1（b）参照）、最終的な演算結果としてCRC符号が出力される。

【0019】

4 バイトシリアル変換回路 5 は、制御部 7 及びDFF 8、9、10 から入力される制御タイミングに基づいて、図示しない外部回路から入力される最終段のデータ（まだ演算していないデータ）を、最終段 3 3～3 6：a、最終段 3 7～4 0：b、最終段 4 1～4 4：c の 4 バイトシリアルデータ（a、b、c）に変換後、4 バイトパラレルCRC符号演算部 3 aへa→b→cの順に出力する回路である。また、STATE[x]の値により最終段 3 3～3 5（x=1～4の時）、最終段 3 7～3 9（x=5～8の時）、最終段 4 1～4 3（x=9～12の時）、最終段 4 5～4 7（x=13～16の時）の 3 バイトデータを 1 バイトシリアル変換回路 6 へ出力する回路である。

【0020】

同様に、1 バイトシリアル変換回路 6 は、DFF 1 1、1 2、1 3、1 4 から入力される制御タイミングに基づいて 4 バイトシリアル変換回路 5 から入力され

る最終段の残りデータ（まだ演算していないデータ）を、最終段 4 5, 4 6, 4 7 の 1 バイトシリアルデータに変換後、1 バイトパラレル CRC 符号演算部 4 a へ最終段 4 5 → 4 6 → 4 7 の順に出力する回路である。

【 0 0 2 1 】

制御部 7 は、入力される 1 6 バイトパラレルデータの最終段にあるデータ（余り部分）、及びそのバイト数 x を検出すると共に、各種制御タイミング信号（後述の各種制御信号）を出力し、CRC 符号演算回路 1 に入力される 1 6 バイトパラレルデータから、CRC 符号を演算させる制御を行う制御部である。

また、DFF 9 ~ 1 5 は、制御部 7 から入力される STROBE 信号を順次シフトさせて次段の DFF、及び各回路へ出力するシフト回路である。

【 0 0 2 2 】

ここで、CRC 符号を演算する 1 6 バイトパラレルデータ、及び制御部 7 から出力される各種制御信号（図 1 の CRCEN, STROBE, STATE[x]）について説明する。

1 6 バイトパラレルデータは、データフレームが可変長の通信データであり、1 6 バイトパラレル CRC 符号演算回路 2 と、4 バイトシリアル変換回路 5 に入力される。

【 0 0 2 3 】

CRCEN (CRC ENABLE) 信号は、CRC 符号を演算する範囲を指示する信号であり、1 6 バイトパラレル CRC 符号演算回路 2 のみに入力される。

STROBE 信号は、1 6 バイトパラレルデータの最終段にあるデータを示す信号であり、1 6 バイトパラレル CRC 符号演算回路 2、4 バイトパラレル CRC 符号演算回路 3、4 バイトシリアル変換回路 5、及び DFF 8, 1 5 にそれぞれ入力される。

STATE[x] 信号は、上記 STROBE 信号により示された最終段データに含まれるバイト数 x を示す信号であり、1 6 バイトパラレル CRC 符号演算回路 2、4 バイトシリアル変換回路 5、及び DFF 1 5 にそれぞれ入力される。

【 0 0 2 4 】

次に、図 2 を参照して、1 6 バイトパラレルデータから CRC 符号を演算する動作について説明する。

【0025】

図2に示す様に、47バイトのフレーム長（1～47）を有する16バイトパラレルデータPは、①1～16、②17～32、③33～47の3段のパラレルデータにより構成される。最終段③のパラレルデータは、15バイトの余り部分33～47と1バイトの無効データ（図中の斜線部分）とから成る。

【0026】

上記16バイトパラレルデータPのデータ①、②は、16バイトパラレルCRC符号演算回路2に入力される。そして、16バイトパラレルCRC符号演算回路2は、入力された16バイトパラレルデータ①、②を演算し、その演算結果を演算途中結果Aとして4バイトパラレルCRC符号演算回路3へ出力する。

【0027】

16バイトパラレルデータPのデータ③の内、上位12バイトのデータ（33～44）は、4バイトシリアル変換回路5により3組の4バイトシリアルデータ（33～36、37～40、41～44）に変換された後、4バイトパラレルCRC符号演算回路3へ入力される。入力された3組の4バイトシリアルデータは、16バイトパラレルCRC符号演算回路2から出力された演算途中結果Aを初期値として、4バイトパラレルCRC符号演算回路3で順次CRC符号演算され、演算途中結果Bとして1バイトパラレルCRC符号演算回路4へ出力される。

【0028】

一方、16バイトパラレルデータPのデータ③の内、下位3バイトのデータ（45～47）は、1バイトシリアル変換回路6により3個の1バイトシリアルデータ（45、46、47）に変換された後、1バイトパラレルCRC符号演算回路4へ入力される。入力された3個の1バイトシリアルデータは、4バイトパラレルCRC符号演算回路3から出力された演算途中結果Bを初期値として、1バイトパラレルCRC符号演算回路4で順次CRC符号演算され、最終的な演算結果として出力される。

【0029】

以上、入力される16バイトパラレルデータの余り部分が15バイトの場合を例示して説明したが、最終段の余り部分のバイト数は任意である。すなわち、図

1 (b) に示す様に、最終段の余り部分のバイト数が 1 ～ 3 或いは 1 6 の場合、SEL 3 e は “A 1” を選択し、4 ～ 7 の場合には “A 2” を選択し、8 ～ 1 1 の場合には “A 3” を選択し、1 2 ～ 1 5 の場合には “A 4” を選択する。また、SEL 4 e は、最終段の余り部分のバイト数を 4 で割った際の余りが 0 の場合には “B 1”、1 の場合には “B 2”、2 の場合には “B 3”、3 の場合には “B 4” をそれぞれ選択する。

【0 0 3 0】

以上の様に、本実施の形態における CRC 符号演算回路 1 は、 4^n バイトパラレルデータを CRC 符号演算する際に、 4^n バイトパラレル CRC 符号演算回路以外に、 4^{n-m} バイト ($m = 1 \sim n$) の n 個のパラレル CRC 符号演算回路を備えることにより、可変長データとして入力されるバイトパラレルデータ P の最終段にある余り部分のデータを CRC 符号演算回路で演算された CRC 符号により順次演算処理する機能を有する。

【0 0 3 1】

従って、例えば 1 6 バイトパラレルデータの様にデータ幅の広いパラレルデータが入力される場合であっても、簡易な回路構成でデータの CRC 符号を演算できる。その結果、回路規模の増大や製造コストの増加を抑えることができる。また、 4^n バイトパラレルデータの入力に対して、最大でも $n + 1$ 個のバイトパラレル CRC 符号演算回路を備えれば足り、4 バイト以上のパラレルデータが入力される場合であっても、容易に CRC 符号の演算が可能となる。

【0 0 3 2】

なお、本実施の形態における記述内容は、本発明に係る CRC 符号演算回路の好適な一例であり、これに限定されるものではない。

例えば、上記実施の形態では、入力される可変長データを 1 6 バイトパラレルデータとして説明したが、バイトパラレル CRC 符号演算回路を $n + 1$ 個、バイトシリアル変換回路を n 個備えることにより、例えば、6 4 バイト等、 4^n バイトパラレルデータに適用可能である。

その他、CRC 符号演算回路 1 の細部構成、及び詳細動作に関しても、本発明の趣旨を逸脱することのない範囲で適宜変更可能である。

【 0 0 3 3 】

【発明の効果】

本発明によれば、CRC符号演算回路に対して、16バイトパラレルデータの様にデータ幅の広いパラレルデータが入力される場合であっても、バイトパラレル演算回路の使用数を抑えた簡易な回路構成でデータのCRC符号を演算できる。その結果、回路規模の増大や製造コストの増加を抑えることができる。

【図面の簡単な説明】

【図1】

本発明を適用したCRC符号演算回路1を示す図であり、(a)は回路構成図であり、(b)は余り部分のバイト数と、SEL3e, SEL4eのセレクト番号の対応関係を示す図である。

【図2】

図1のCRC符号演算回路1により、16バイトパラレルデータからCRC符号を演算する手順を説明する図である。

【図3】

従来のCRC符号演算回路21の回路構成図である。

【符号の説明】

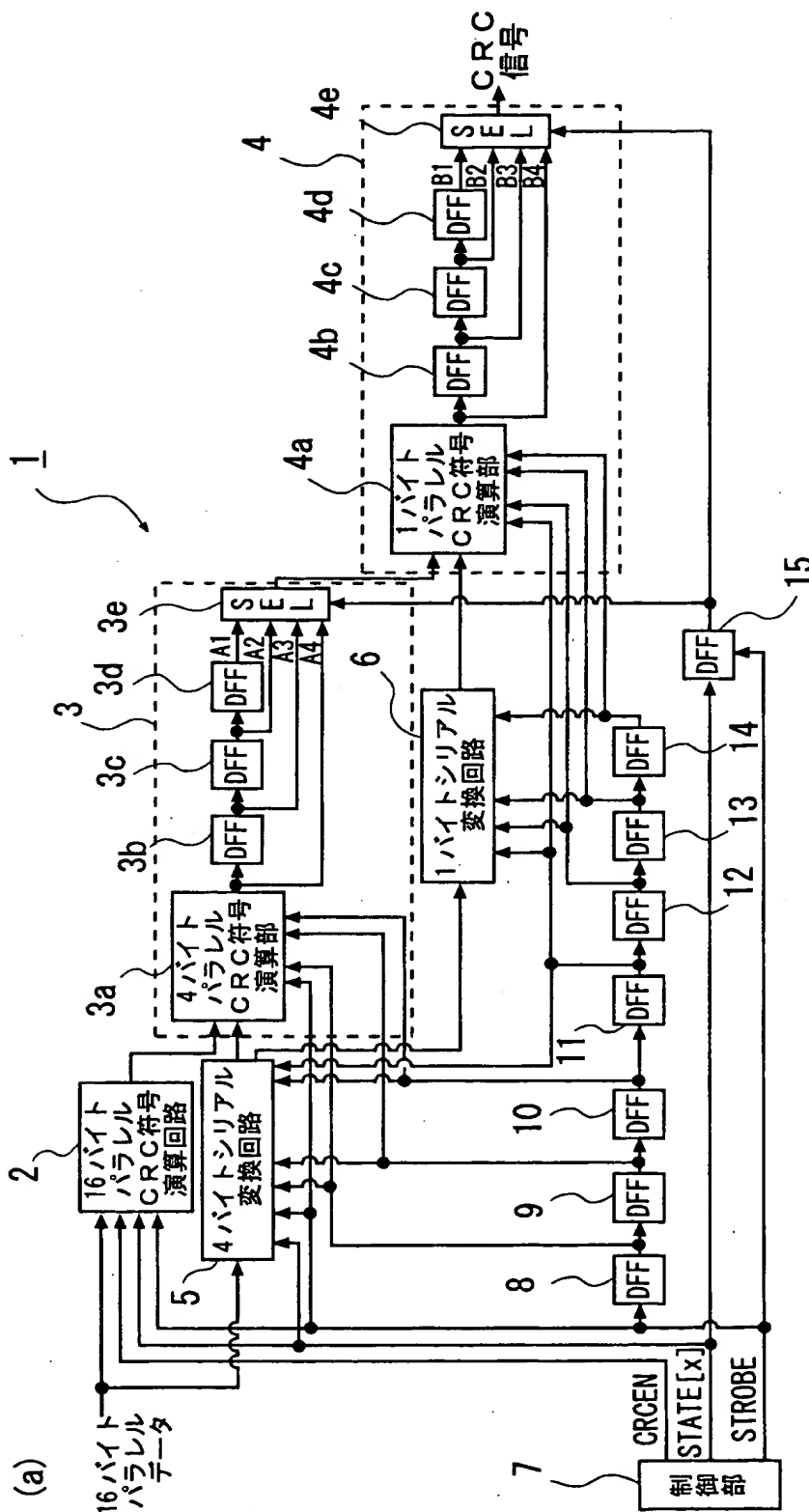
- 1 CRC符号演算回路
- 2 16バイトパラレルCRC符号演算回路
- 3 4バイトパラレルCRC符号演算回路
- 3 a 4バイトパラレルCRC符号演算部
- 3 b, 3 c, 3 d DFF
- 3 e SEL
- 4 1バイトパラレルCRC符号演算回路
- 4 a 1バイトパラレルCRC符号演算部
- 4 b, 4 c, 4 d DFF
- 4 e SEL
- 5 4バイトシリアル変換回路
- 6 1バイトシリアル変換回路

7 制御部

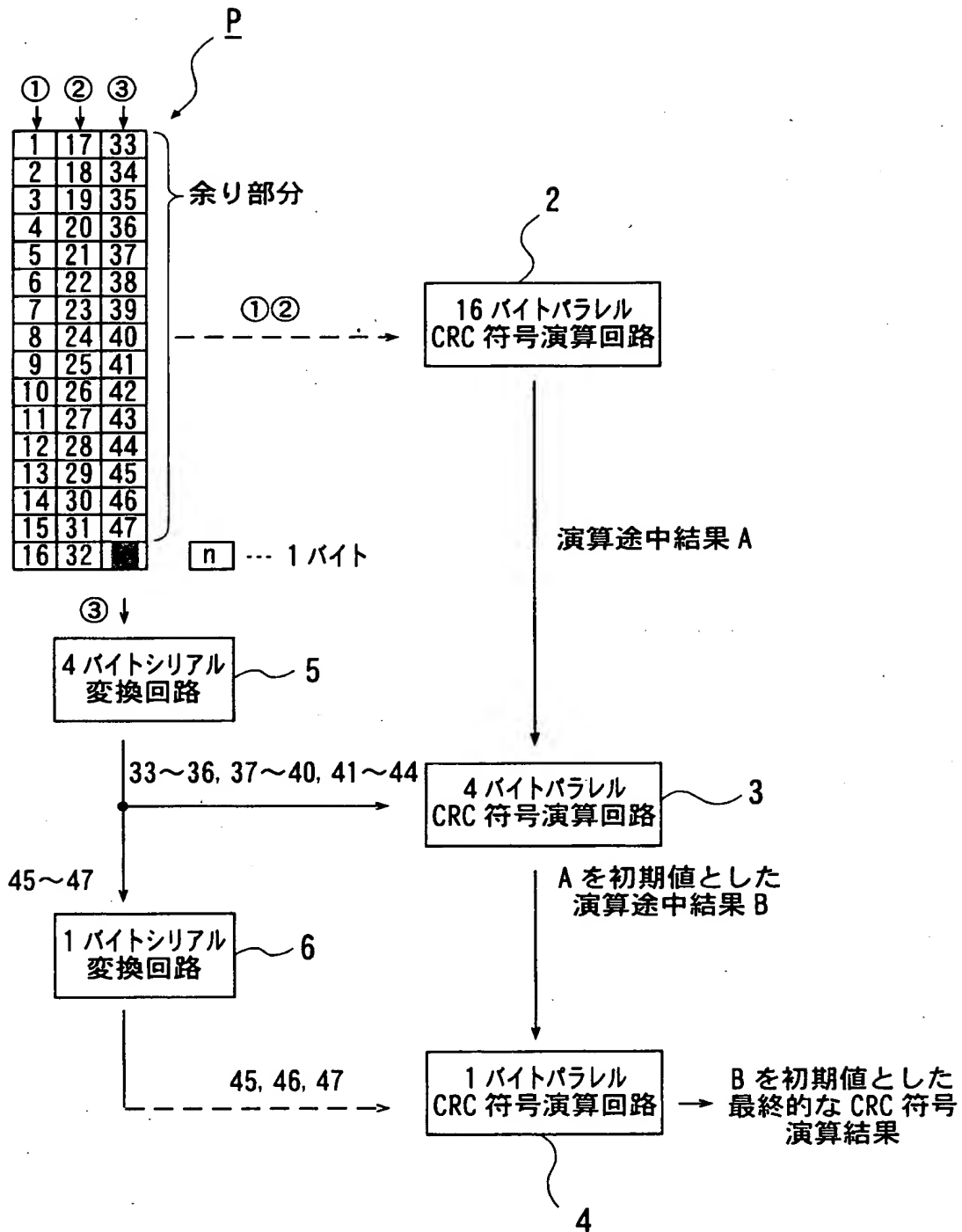
【書類名】

図面

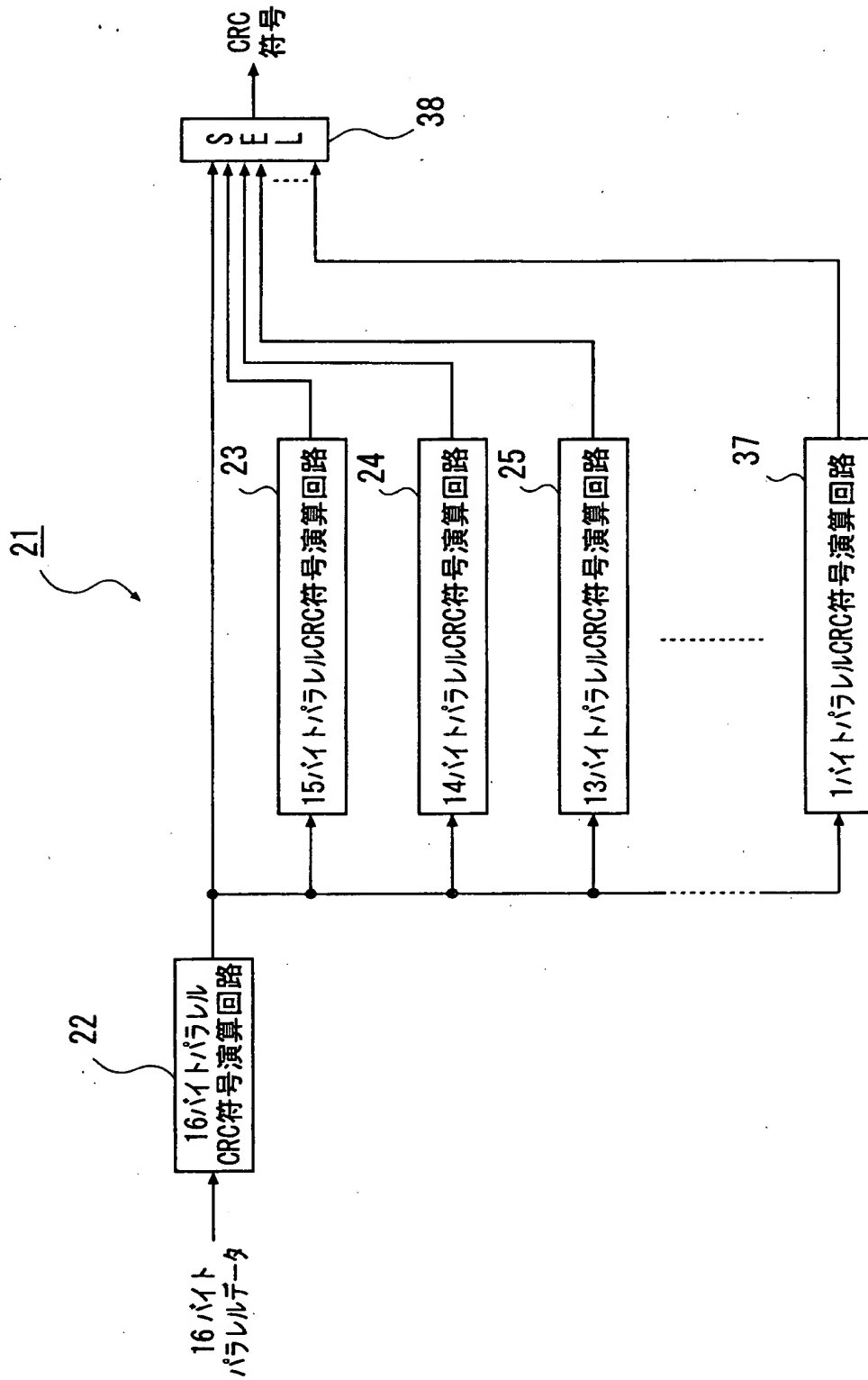
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 本発明の課題は、CRC符号演算回路の使用個数を抑えて、可変長データとして入力される 4^n バイトパラレルデータからCRC符号を演算するCRC符号演算回路、及びCRC符号演算方法を提供することである。

【解決手段】 可変長データとして入力され、最終段に余り部分を有するパラレルデータからCRC符号を演算するCRC符号演算回路1は、パラレルデータの最終段から、CRC符号をパラレルで演算する4バイトパラレルCRC符号演算部3aと、演算されたCRC符号から、所定のバイト数分のCRC符号を選択するSEL3eと、パラレルデータの最終段をシリアルデータに変換する4バイトシリアル変換回路5と、SEL3eにより選択されたCRC符号と、4バイトシリアル変換回路5により変換されたシリアルデータと、からCRC符号を演算する1バイトパラレルCRC符号演算部4aと、を備えて構成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社
2. 変更年月日 2001年 4月13日
[変更理由] 住所変更
住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社